

PAT-NO: JP401186657A

DOCUMENT-IDENTIFIER: JP 01186657 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: July 26, 1989

INVENTOR-INFORMATION:

NAME

FUJII, SHINJI

FUJITA, TSUTOMU

YAMAMOTO, HIROSHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRIC IND CO LTD

N/A

APPL-NO: JP63005810

APPL-DATE: January 14, 1988

INT-CL (IPC): H01L021/88, H01L039/24

US-CL-CURRENT: 505/728, 505/731 , 505/951

ABSTRACT:

PURPOSE: To improve coverage and reduce shoulder by repeating the bias sputter method or the sputter deposition process and etching process for wiring with superconductive materials.

CONSTITUTION: When forming wiring with superconductive materials of semiconductor device which is equipped with substrates 10 and 20, SiO₂ film 11 and 21, Y-Ba-Cu-O family superconductor wiring 12 and 22, and contact holes 13 and 23 by using the sputter method, the bias sputter method is used wherein bias voltage is applied to the substrate 10 side and the sputter deposition and etching are performed simultaneously. At this time, since etching characteristics have angle dependency, the deposited film becomes flat. Also, when performing deposition of film by repeating the sputter deposition and etching, it is difficult for etching gas to enter the lower side of shoulder part 24 produced by the sputter deposition so that it is possible to select only the conditions for enabling etching to be made to an upper side 22a

of the shoulder 24. It allows coverage to be improved, shoulder part to be relaxed, thus preventing breakdown in superconductive status from occurring.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A) 平1-186657

⑤ Int. Cl.⁴H 01 L 21/88
39/24

識別記号

Z A A
Z A A

庁内整理番号

B-6708-5F
F-8728-5F

⑬ 公開 平成1年(1989)7月26日

審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-5810

⑰ 出 願 昭63(1988)1月14日

⑱ 発明者	藤 井 真 治	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発明者	藤 田 勉	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発明者	山 本 浩	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 出願人	松下電器産業株式会社	大阪府門真市大字門真1006番地	
⑳ 代理人	弁理士 中尾 敏男	外1名	

明 細 書

1、発明の名称

半導体装置の製造方法

2、特許請求の範囲

(1) 超電導体材料による配線をスパッタ法によって形成する際に、基板側にバイアス電位を印加しながら前記配線の堆積を行うことを特徴とする半導体装置の製造方法。

(2) 超電導体材料による配線をスパッタ法によって形成する際に、薄膜堆積工程とエッチング工程を少なくとも一回以上くり返すことを特徴とする半導体装置の製造方法。

3、発明の詳細な説明

産業上の利用分野

本発明は、半導体装置の製造方法に関し、特に、超電導体材料を用いた配線、コンタクト電極の形成方法に関するものである。

従来の技術

従来の基板にバイアス電位を印加しないスパッタ法によって超電導材料による配線の形成を行っ

た場合は、第3図のようなものであった。即ち、第3図は普通に絶縁物膜を形成した後にドライエッチングを行い、更に超電導体材料による配線の形成を行った場合のカバレッジを示す図である。同図において、30は半導体基板、31は絶縁物膜、32は超電導材料による配線、33はコンタクトホール、34は超電導体材料による配線が薄くなったくびれた部分を示す。

近年必要とされているサブミクロンサイズのエッチング加工技術では、寸法制御性の悪いウェットエッチングよりも、寸法制御性の良い異方性ドライエッチングが用いられている。ドライエッチングでは、微小で急峻な微細加工が可能である。第3図は、前述した従来方法によりサブミクロンサイズのコンタクトホールまたはスルーホールをドライエッチングによって開けた後、超電導体材料による配線を形成した状態を示す図であるが、カバレッジが悪いため、配線の膜厚が薄くなりくびれ部分34が生じている。

発明が解決しようとする課題

しかしながら、上記のような方法では、くびれ部分で断線が生じやすいとともに、くびれ部分では電流密度が増大し、容易に臨界電流密度を超えるため超電導状態が破壊され、その部分は、高抵抗化・発熱し破壊するという問題点を有していた。

本発明はかかる点に鑑み、超電導材料による配線を形成する際、カバレッジがよく、くびれ部分が少なく、超電導状態を保持し、配線として使用せしめる半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

本発明の半導体装置の製造方法は、超電導材料による配線をバイアススパッタ法、またはスパッタ堆積工程とエッチング工程を共にくり返して行うことによって堆積形成することを特徴とする半導体装置の製造方法である。

作 用

本発明は、前述した形成方法により超電導材料による配線をスパッタ法によって形成する際に、基板側にバイアス電位を印加することによって、

装置の製造方法を説明する図である。第1図において、10はシリコン等の半導体集積回路用基板、11は膜厚約 $0.8\mu\text{m}$ の SiO_2 膜、12はY-Ba-Cu-O系超電導配線、13は SiO_2 膜12に形成された直径 $0.8\mu\text{m}$ のコンタクトホールである。

半導体装置の製造工程において配線を形成する際、異方性ドライエッチングを用いて、膜厚約 $0.8\mu\text{m}$ の SiO_2 膜11に、直径 $0.8\mu\text{m}$ のコンタクトホール13を開けた後、Y-Ba-Cu-O系超電導12を基板11側にバイアス電位を追加して、スパッタ堆積とエッチングが同時に進む方法を用いる。このように、堆積膜の平坦化が可能なバイアススパッタ法を用いることによって、くびれ部分のカバレッジが改善されるため、電流密度が小さくなり、臨界電流密度に達しにくくなり、超電導状態は保持されやすくなり、超電導状態の破壊が起こりにくくなる。

(実施例2)

第2図は本発明の第2の実施例における半導体装置の製造方法を説明する図である。第2図(a)は、

スパッタ堆積とエッチングとを同時に行うバイアススパッタ法を用いる。この時、エッチング特性には、角度依存性があるために堆積する膜は平坦化が進み、微小段差上にもくびれた部分が生じることなくカバレッジが良好となる。

また、スパッタ堆積とエッチングをくり返して、膜堆積を行う場合、スパッタ堆積によって生じたくびれ部分の下側へは、Arイオン等のエッチングガスが入りにくいため、くびれ部分の上側のみをエッチングすることができる条件を選ぶことができる。この工程をくり返すことによってカバレッジの良好な堆積膜を形成することができる。

以上の作用によって、超電導材料による配線を形成する際、くびれ部分を緩和することができるために、電流密度の高い部分を少なくさせることができ、臨界電流密度に達しにくくなり、超電導状態の破壊を防ぐことができる。

実 施 例

(実施例1)

第1図は本発明の第1の実施例における半導体

スパッタ堆積とエッチングをくり返して超電導材料を堆積する際、最初のスパッタ堆積を終了したことを示す図である。同図において、20は半導体基板、21は膜厚約 $0.8\mu\text{m}$ の SiO_2 絶物膜、22は膜厚 $0.4\mu\text{m}$ のY-Ba-Cu-O系超電導堆積膜、23は直径 $0.8\mu\text{m}$ のコンタクトホール、24はカバレッジが悪く堆積膜が薄くなりくびれた部分である。同図の構造のままでは、薄くくびれた部分の電流密度が高くなり、超電導状態が破壊され易いという問題点がある。

次に、第2図(b)はスパッタ堆積した膜22の平坦部分を $0.1\mu\text{m}$ までエッチングして膜25を形成したことを示す図である。コンタクトホール23の中へはArイオン等のエッチングガスが入りにくいため、底部に比べオーバハングとなっている部分22aを強くエッチングする条件を選ぶことが可能である。

第2図(c)は、上述の工程によって、コンタクトホール23の底部がある程度埋め込まれた後、第2回めのY-Ba-Cu-O系超電導材料を堆積し

たことを示す図である。

同図において、25は平坦部分を $0.1\mu\text{m}$ までエッチングされた第1回めに堆積されたY-Ba-Cu-O系超電導体堆積膜、26は第2回めに堆積された膜厚 $0.3\mu\text{m}$ のY-Ba-Cu-O系超電導体堆積膜である。

同図では、第2図(b)の工程において、コンタクトホール底部にある程度Y-Ba-Cu-O系超電導体材料膜が堆積しているため、アスペクト比が小さくなり、第2回めに堆積したY-Ba-Cu-O系超電導体材料膜はカバレッジが良好である。

ここでは、スパッタ堆積とエッチングを共に1回としたが、2回以下くり返してもよい。

また、基板にバイアス電位を印加しながら行うバイアススパッタ法において、堆積始めは、バイアス電位を印加せず堆積が進む程バイアス電位を強くすることによって、半導体基板に形成された素子へのダメージを軽減することもできる。このように、バイアス電位を連続的に変化させることは、好都合となる。

線を有する半導体装置の製造方法を説明する工程断面図、第3図は従来のスパッタ法による超電導体材料による配線を有する半導体装置の製造方法を説明する断面図である。

10、20……半導体基板、11、21…… SiO_2 絶縁物膜、12、22……Y-Ba-Cu-O系超電導体材料による配線、13、23……コンタクトホール、24……薄くくびれた部分、25……第1回めのY-Ba-Cu-O系堆積膜をエッチングした膜、26……第2回めに堆積されたY-Ba-Cu-O系堆積膜。

代理人の氏名 弁護士 中 尾 敏 男 ほか1名

なお、本実施例ではY-Ba-Cu-O系超電導体材料としたが、他のセラミック系、金属系の超電導材料としてもよい、また、通常バイアススパッタ法では、大面積($10\mu\text{m} \times 10\mu\text{m}$)上に堆積をした場合、段差部分が残るので、エッチバック法等によって平坦化してもよい。

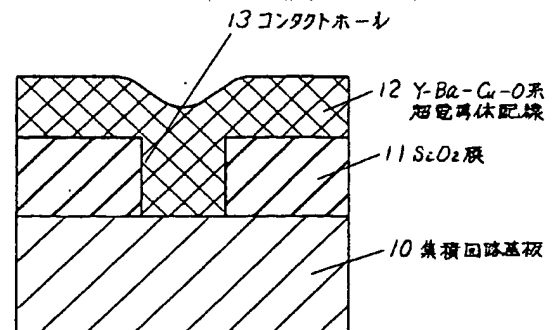
発明の効果

以上説明したように、本発明によれば、バイアススパッタ法を用いることによって、超電導体材料による配線のカバレッジを良好にし、電流密度が高くなる領域を緩和することができるため、臨界電流密度を超えにくくなり、安定した超電導状態を保持することができ、その実用的効果は大きい。

4、図面の簡単な説明

第1図は本発明の一実施例のバイアススパッタを用いて超電導体材料による配線を有する半導体装置の製造方法を説明する断面図、第2図は本発明の第2の実施例によるスパッタ堆積とエッチングをくり返すことによって超電導体材料による配

第 1 図



第 2 図

